

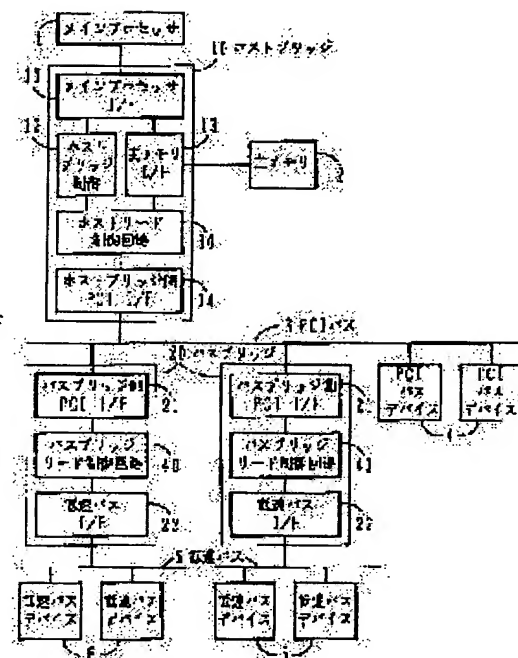
(11)Publication number : 11-110342
(43)Date of publication of application : 23.04.1999

G06F 13/36

(71)Applicant : HITACHI LTD

(72)Inventor : KIYONO TAKASHI
HAYASHI KAZUYA

SOLUTION: When PCI bus release read access is performed, read access is performed to bus bridges 20 through a PCI bus 3 and a host bridge 10 releases the bus 3. During the release, PCI bus use for other devices on the bus 3 is possible and the use efficiency of the bus 3 is improved. The bridges 20 request for the bus right of the bus 3 when an ACK returns from a slow bus device 6 and read data is read, and writes read data that is read through the bus 3 in the bridge 10. The bridge 10 releases the bus 3, transfers data of read access to a main processor 1 and finishes read access of the processor 1.



2003/01/29

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-110342

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁸

G 0 6 F 13/36

識別記号

5 2 0

F I

G 0 6 F 13/36

5 2 0 A

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願平9-272886

(22) 出願日

平成9年(1997)10月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 清野 隆

茨城県ひたちなか市市毛882番地 株式会

社日立製作所計測器事業部内

(72) 発明者 林 和也

茨城県ひたちなか市市毛882番地 株式会

社日立製作所計測器事業部内

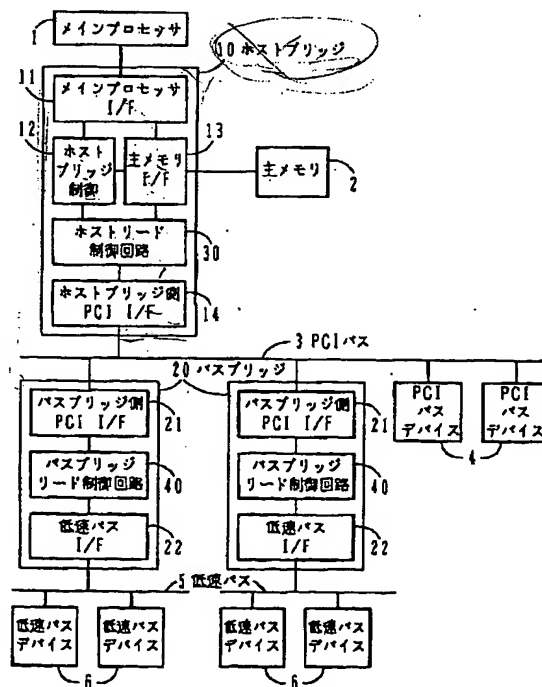
(74) 代理人 弁理士 春日 譲

(54) 【発明の名称】 バス接続方法及び装置

(57) 【要約】

【課題】構成の大幅な変更を伴うことなく、メインプロセッサから高速なシステムバスを介した低速デバイスのリードアクセスを、高速なシステムバスの転送効率の低下を抑制して実行可能なバス接続方法及び装置を実現する。

【解決手段】PCIバス開放リードアクセスを行う場合はPCIバス3を介してバスブリッジ20にリードアクセスを行いホストブリッジ10がPCIバス3を開放する。この開放の間、他のPCIバス上のデバイスのPCIバス使用が可能で、PCIバスの使用効率が向上する。バスブリッジ20は低速バスデバイス6からACKが帰リリードデータを読み出すと、PCIバス3のバス権を要求し、PCIバス3を介して読み出したリードデータをホストブリッジ10にライトする。ホストブリッジ10はPCIバス3を開放しメインプロセッサ1にリードアクセスのデータを転送しメインプロセッサ1のリードアクセスを終了する。



【特許請求の範囲】

【請求項1】メインプロセッサと、高速なデバイスが接続されるシステムバスと、低速なデバイスが接続される低速バスと、上記システムバスと低速バスとの間に接続されるバスブリッジとを有するデータ処理システムのバス接続方法において、

上記メインプロセッサからの指令に基づいて、少なくともシステムバスを制御するホストブリッジを、上記メインプロセッサとシステムバスとの間に接続し、メインプロセッサからの上記低速なデバイスへのリードアクセスを、ホストブリッジが上記システムバス介してリードアクセスとしてバスブリッジに伝えた後に、一旦、上記システムバスを開放し、上記バスブリッジが低速デバイスのリードアクセスを行い、読み出したリードデータをシステムバスを占有して上記ホストブリッジに書き込み、ホストブリッジは書き込んだデータを上記リードデータとしてメインプロセッサに伝えることを特徴とするバス接続方法。

【請求項2】メインプロセッサと、高速なデバイスが接続されるシステムバスと、低速なデバイスが接続される低速バスと、上記システムバスと低速バスとの間に接続されるバスブリッジとを有するデータ処理システムのバス接続方法において、

上記メインプロセッサからの指令に基づいて、少なくともシステムバスを制御するホストブリッジを、上記メインプロセッサとシステムバスとの間に接続し、メインプロセッサからの上記低速なデバイスへのリードアクセスを、ホストブリッジが上記システムバス介してライトアクセスとしてバスブリッジに伝えた後に上記システムバスを開放し、上記バスブリッジが低速デバイスのリードアクセスを行い、読み出したリードデータをシステムバスを占有して上記ホストブリッジに書き込み、ホストブリッジが書き込んだデータを上記リードデータとしてメインプロセッサに伝えることを特徴とするバス接続方法。

【請求項3】請求項1又は2記載のバス接続方法において、メインプロセッサからの低速なデバイスへのリードアクセスのアドレス領域を設定するレジスタを、上記ホストブリッジとバスブリッジとに、それぞれ備えられ、上記低速なデバイスのうち、リードアクセス時間が所定時間より長い低速なデバイスと、リードアクセス時間が上記所定時間より短い低速なデバイスとに分けて、上記レジスタに設定し、上記ホストブリッジは、上記メインプロセッサから上記所定時間よりも長い低速なデバイスにリードアクセスが要求されたときにのみ、一旦、上記システムバスを開放することを特徴とするバス接続方法。

【請求項4】メインプロセッサと、高速なデバイスが接続されるシステムバスと、低速なデバイスが接続される低速バスとを有するデータ処理システムのバス接続装置

において、

上記メインプロセッサとシステムバスとの間に接続され、上記メインプロセッサからの指令に基づいて、少なくともシステムバスを制御するホストブリッジと、上記システムバスと低速バスとの間に接続され、上記ホストブリッジからの指令に基づいて、上記低速バスを介して低速デバイスを制御するバスブリッジと、を備え、上記ホストブリッジは、上記メインプロセッサからの上記低速なデバイスへのリードアクセスを、上記システムバス介してリードアクセスとしてバスブリッジに伝えた後に、一旦、上記システムバスを開放し、上記バスブリッジは低速デバイスのリードアクセスを行い、読み出したリードデータをシステムバスを占有して上記ホストブリッジに書き込み、ホストブリッジは書き込んだデータをリードデータとしてメインプロセッサに伝えることを特徴とするバス接続装置。

【請求項5】請求項4記載のバス接続装置において、上記ホストブリッジは、メインプロセッサからの低速なデバイスへのリードアクセスのアドレス領域を設定するレジスタを有し、上記バスブリッジは、メインプロセッサからの低速なデバイスへのリードアクセスのアドレス領域を設定するレジスタを有し、上記低速なデバイスのうち、リードアクセス時間が所定時間より長い低速なデバイスと、リードアクセス時間が上記所定時間より短い低速なデバイスとに分けて、上記レジスタに設定し、上記ホストブリッジは、上記メインプロセッサから上記所定時間よりも長い低速なデバイスにリードアクセスが要求されたときにのみ、一旦、上記システムバスを開放することを特徴とするバス接続装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、転送効率が互いに異なる複数のバスを有するデータ処理システムに係わり、特に、高速なシステムバスの転送効率が低速なバスにより受ける影響を抑制し、システムの効率を向上するバス接続方法及び装置に関する。

【0002】

【従来の技術】データ処理システムが複数のバスを有し、その複数のバスの転送速度が異なる場合、高速なシステムバスの転送効率は、高速なシステムバス側から低速なバス上の低速なデバイスに対するアクセスの際によって影響を受け、システムの効率を向上することができないという問題がある。特に、最近システムバスとして、PCI (Peripheral Component Interconnect) バスが登場し、その転送効率を生かしたシステムの構築が要求されている。

【0003】PCIバスは、クロック同期式のバスであって、クロック周波数33MHzにおいて、最高転送速度が133Mバイト/秒と高速なバスであり、パソコンや産業用のコントローラのシステムバスとして使用され

てきている。また、上記PCIバスは事実上デファクトスタンダードにて、PCIバスに直接接続できるICが増えてきている。例としては、イーサネットコントローラやSCSIコントローラ、PCI to PCIブリッジ、PCMCIAコントローラ等があげられる。これらのICをPCIバスに直接、複数個接続し、システムを構築する形態が増えてきている。

【0004】これに対し、従来から使用してきたデバイスは、直接PCIバスに接続できないので、従来から使用している低速なバスに接続することとなる。この低速なバスには、ROM、RAMの他、非常にアクセス速度の遅いデバイスも接続されることとなる。この低速なバスは、低速バス用のブリッジを介して、やはり、PCIバスと接続することになる。

【0005】つまり、メインプロセッサはホストブリッジを介してPCIバスと接続されている。ホストブリッジは、通常チップセットとして主メモリの制御を行う主メモリI/FとメインプロセッサI/FとシステムバスI/Fとを持つ構成が一般的である。

【0006】システムバスであるPCIバスには、上記イーサネットコントローラ等のPCIバスデバイスが複数個接続される。このシステムバスの転送効率は、システムの性能に直接関与し、PCIバスはできるだけ効率よく使用するために、PCIバスの転送占有時間を短くすることが大切である。

【0007】PCIバスデバイスの1つであるバスブリッジを、PCIバスと低速バスとの間に接続する。低速バスには、低速バスデバイスが接続されており、アクセス時間が非常に長いものであると考えられる。バスブリッジ20にはバスブリッジ側PCI-I/F、低速バスI/Fの機能があり、メインプロセッサからのアクセスをシステムバスのPCIバスを介して低速バスに伝えることができる。

【0008】複数のバスを使用する従来例としては、特開平8-314850号公報に記載された「計算機システムのバスブリッジ」がある。この公報記載の「計算機システムのバスブリッジ」は、システムバスとI/Oバスとの間に接続され、各バス間のアクセスを制御する計算機システムのバスブリッジにおいて、I/O機器の状態によらず、CPUからI/O機器に対するライトアクセスを終了させ、システムバス及びI/Oバスを効率的に使用してシステム全体の高速化を可能とした計算機システムのバスブリッジを提供することを目的としている。

【0009】そして、上記目的を達成するため、バスブリッジに、記憶手段と、アクセス制御手段とを備える。このアクセス手段は、システムバスからI/Oバス上のI/O機器への書き込みアクセスがあったとき、I/O機器がアクセス不可能な状態であれば、当該書き込み内容を記憶手段に記憶させ、システムバスを解放する。ま

た、I/O機器がアクセス可能な状態となると、記憶手段に記憶された書き込みアクセス内容に基づいて、当該I/O機器に書き込みアクセスを実行する。

【0010】また、高速バスと低速バスとを使用するデータ処理システムの例としては、特開昭57-94824号公報に記載された「バス変換装置を有するデータ処理システム」がある。この公報記載のデータ処理システムは、高速バスと低速バスとの間をバス変換装置を介して結合したデータ処理システムにおいて、低速入力装置に対する読み出し処理あるいは書き込み処理のために、高速バスが長時間占有され、高速バスに接続された高速処理装置に対する処理が間に合わなくなり、オーバーランとなることを回避することを目的としている。

【0011】上記目的を達成するために、高速バス上の低速入出力装置に対応するアドレス情報あるいはアドレス情報と書き込みデータとをラッチするレジスタを備え、バス変換装置は、ラッチに対応して高速バスを解放するバス解放信号を発生するように構成される。そして、低速入力装置に対して、読み出し又は書き込み処理を実行し、この実行を待って、高速バス上にバス占有要求を発する。このように構成すれば、バス変換装置がバス解放信号を発生してから、バス占有要求までの間は、高速バスの使用が可能となり、高速入出力装置等において、非所望なオーバーラン状態となることが避けられる。

【0012】

【発明が解決しようとする課題】ところで、PCIバスを使用した、メインプロセッサからのライトサイクルにおいては、PCIバスの機能の1つであるポストエドライト方式が上げられる。これはメインプロセッサからのライトサイクルをPCIのデバイスのバッファに書き込んだ時点で、PCIのバス権を開放し、バッファに書き込まれた内容をPCIのデバイスが、順次アクセス実行するものである。

【0013】また、上述した特開平8-314850号公報に記載された「計算機システムのバスブリッジ」においても、ライトアクセス時における、システム全体の高速化を可能とした計算機システムのバスブリッジを提供するものである。

【0014】ここで、メインプロセッサからの低速バスデバイスへのリードアクセスを考えると、まずメインプロセッサは、ホストブリッジを介してPCIバスのバスを占有し、バスブリッジに対しリードアクセスを伝える。バスブリッジはこれを受けて低速バスを介して、低速バスデバイスに対してリードアクセスを行う。低速バスデバイスの長いアクセス時間を経て得られた、リードデータをバスブリッジはPCIバスに伝える。この間、PCIバスは占有されたままで、高速なシステムバスであるPCIバスの転送効率を阻害する要因となる。

【0015】ところが、上記従来例は、リードサイクル

に関して、低速デバイスに対して行う際の高速化の手法が考慮されてはいなかった。

【0016】これに対して、上記特開昭57-94824号公報に記載された「バス変換装置を有するデータ処理システム」にあつては、低速入力装置に対する読み出しあるいは書き込み時における高速処理装置の非所望のオーバーランを回避する技術が開示されている。

【0017】しかしながら、上記「バス変換装置を有するデータ処理システム」においては、レジスタの読み出し情報等のラッチに対応して、バス変換装置が高速バスを解放するバス解放信号を発生しなければならない。このバス解放信号を発生させるためには、高速バスをこのバス解放信号に対応可能なものとする必要がある。したがって、標準的な高速バスには適用することができず、構成の大幅な変更が必要であった。

【0018】本発明の目的は、転送効率が互いに異なる複数のバスを有するデータ処理システムにおいて、構成の大幅な変更を伴うことなく、メインプロセッサからの高速なシステムバスを介した低速デバイスのリードアクセスを高速なシステムバスの転送効率の低下を抑制して実行し、システム効率を向上可能なバス接続方法及び装置を実現することである。

【0019】

【課題を解決するための手段】

(1) 上記目的を達成するために、本発明は、次のように構成される。すなわち、メインプロセッサと、高速なデバイスが接続されるシステムバスと、低速なデバイスが接続される低速バスと、上記システムバスと低速バスとの間に接続されるバスブリッジとを有するデータ処理システムのバス接続方法において、上記メインプロセッサからの指令に基づいて、少なくともシステムバスを制御するホストブリッジを、上記メインプロセッサとシステムバスとの間に接続し、メインプロセッサからの上記低速なデバイスへのリードアクセスを、ホストブリッジが上記システムバス介してリードアクセスとしてバスブリッジに伝えた後に、一旦、上記システムバスを開放し、上記バスブリッジが低速デバイスのリードアクセスを行い、読み出したリードデータをシステムバスを占有して上記ホストブリッジに書き込み、ホストブリッジは書き込んだデータを上記リードデータとしてメインプロセッサに伝える。

【0020】メインプロセッサからの低速なデバイスへのリードアクセスを、ホストブリッジがシステムバス介してリードアクセスとしてバスブリッジに伝えた後に、一旦、システムバスを開放し、バスブリッジが低速デバイスのリードアクセスを行う。このシステムバスの開放の間、高速なデバイスはシステムバスを有効に使用することができる。したがって、バスブリッジが高速バスを開放するための特別な開放信号を高速バスに発生する必要がないので、構成の大幅な変更を伴うことなく、

メインプロセッサからの高速なシステムバスを介した低速デバイスのリードアクセスを高速なシステムバスの転送効率の低下を抑制して実行できる。

【0021】(2) また、メインプロセッサと、高速なデバイスが接続されるシステムバスと、低速なデバイスが接続される低速バスと、上記システムバスと低速バスとの間に接続されるバスブリッジとを有するデータ処理システムのバス接続方法において、上記メインプロセッサからの指令に基づいて、少なくともシステムバスを制御するホストブリッジを、上記メインプロセッサとシステムバスとの間に接続し、メインプロセッサからの上記低速なデバイスへのリードアクセスを、ホストブリッジが上記システムバス介してリードアクセスとしてバスブリッジに伝えた後に上記システムバスを開放し、上記バスブリッジが低速デバイスのリードアクセスを行い、読み出したリードデータをシステムバスを占有して上記ホストブリッジに書き込み、ホストブリッジが書き込んだデータを上記リードデータとしてメインプロセッサに伝える。

【0022】(3) 好ましくは、上記(1)又は(2)において、メインプロセッサからの低速なデバイスへのリードアクセスのアドレス領域を設定するレジスタを、上記ホストブリッジとバスブリッジとに、それぞれ備えられ、上記低速なデバイスのうち、リードアクセス時間が所定時間より長い低速なデバイスと、リードアクセス時間が上記所定時間より短い低速なデバイスとに分けて、上記レジスタに設定し、上記ホストブリッジは、上記メインプロセッサから上記所定時間よりも長い低速なデバイスにリードアクセスが要求されたときにのみ、一旦、上記システムバスを開放する。

【0023】ホストブリッジは、メインプロセッサから所定時間よりも長い低速なデバイスにリードアクセスが要求されたときにのみ、一旦、システムバスを開放するので、低速デバイスのうち、比較的にリードアクセス時間が短いものについては、一旦、高速バスを開放させるという制御動作が不要となり、制御動作を省略することができる。

【0024】(4) また、メインプロセッサと、高速なデバイスが接続されるシステムバスと、低速なデバイスが接続される低速バスとを有するデータ処理システムのバス接続装置において、上記メインプロセッサとシステムバスとの間に接続され、上記メインプロセッサからの指令に基づいて、少なくともシステムバスを制御するホストブリッジと、上記システムバスと低速バスとの間に接続され、上記ホストブリッジからの指令に基づいて、上記低速バスを介して低速デバイスを制御するバスブリッジと、を備え、上記ホストブリッジは、上記メインプロセッサからの上記低速なデバイスへのリードアクセスを、上記システムバス介してリードアクセスとしてバスブリッジに伝えた後に、一旦、上記システムバスを開

放し、上記バスブリッジは低速デバイスのリードアクセスを行い、読み出したリードデータをシステムバスを占有して上記ホストブリッジに書き込み、ホストブリッジは書き込んだデータをリードデータとしてメインプロセッサに伝える。

【0025】(5)好ましくは、上記(4)において、上記ホストブリッジは、メインプロセッサからの低速なデバイスへのリードアクセスのアドレス領域を設定するレジスタを有し、上記バスブリッジは、メインプロセッサからの低速なデバイスへのリードアクセスのアドレス領域を設定するレジスタを有し、上記低速なデバイスのうち、リードアクセス時間が所定時間より長い低速なデバイスと、リードアクセス時間が上記所定時間より短い低速なデバイスとに分けて、上記レジスタに設定し、上記ホストブリッジは、上記メインプロセッサから上記所定時間よりも長い低速なデバイスにリードアクセスが要求されたときにのみ、一旦、上記システムバスを開放する。

【0026】

【発明の実施の形態】本発明の実施形態を、添付図面を用いて説明する。

(発明の実施の形態1)図1は、本発明の第1の実施形態であるバス接続方法を実施するバス接続装置の概略構成図であり、システムが複数のバスを有し、その複数のバスの転送速度が異なる構成となっている。上記複数のバスは、高速なシステムバスとして汎用的な高速システムバスであるPCIバス3と、低速なバスである低速バス5とを有する。メインプロセッサ1はホストブリッジ10を介して主メモリ2とPCIバス3に接続する構成となっている。

【0027】ホストブリッジ10は、メインプロセッサI/F11と、ホストブリッジ制御回路12と、主メモリI/F13と、ホストリード制御回路30と、ホストブリッジ側PCI—I/F14とを備えている。そして、PCIバス3にはホストブリッジ10の他に、複数のPCIバスデバイス4が接続される。このPCIバスデバイス4は前述のように、イーサネットコントローラやSCSIコントローラ等のLSIが市販されており、PCIバス3のマスタになり得る。

【0028】従って、メインプロセッサ1がマスタとなってアクセスしていない時に、上記PCIバスデバイス4がPCIバス3のマスタとなってアクセスすることができる。このため、PCIバス3のバスを長時間占有することは、システムの性能に大きく影響を与えることになる。

【0029】また、現状では全てのデバイスが、PCIバス3に直接接続できるわけではなく、RAMやROM等のデバイスをはじめ、通信関係のデバイス等をなんらかの方法にて接続する必要がある。そのために、PCIバス3にバスブリッジ20を介し、低速バス5をつな

ぎ、上記RAMやROM等のデバイスをはじめ通信関係の低速バスデバイス6を接続する。

【0030】バスブリッジ20は、バスブリッジ側PCI—I/F21と、低速バスI/F22と、バスブリッジリード制御回路40とを備えている。

【0031】図2は、ホストブリッジ20のホストリード制御回路30の概略構成図であり、図3はバスブリッジ20のバスブリッジリード制御回路40の概略構成図である。まず、図2において、ホストリード制御回路30は、メインプロセッサ1からアクセスできる比較アドレスレジスタ31を有し、低速バスデバイス6の存在するアドレス領域が設定できるものとする。

【0032】この比較アドレスレジスタ31に設定されたアドレス領域は比較器32にて、実際にメインプロセッサ1からリードアクセスしたアドレスと比較して、比較アドレスレジスタ31に設定されたアドレス領域に含まれる時、すなわち低速バスデバイス6アクセス時に、PCIバス3を開放するアクセス方法をとる時(以降はPCIバス開放リードアクセスと称する)、その比較結果を比較結果レジスタ33にラッチする。

【0033】この比較結果レジスタ33の内容により、マスタ制御回路34とリードデータセレクト回路37を使用するか否かを判断する。PCIバス開放リードアクセスの際は、マスタ制御回路34によりメインプロセッサ1に対してWAITにてアクセスを終了させずに、PCIバス3にリードアクセスを行い、リードデータが来なくとも、マスタ制御回路34は一旦PCIバス3を開放する。

【0034】そして、バスブリッジ20からリードデータをライトしてきたならば、PCIアドレスデコーダ35にてアドレスデコードを行い、リードデータ保持レジスタ36にリードデータをラッチし、リードデータセレクト回路37を介して、メインプロセッサ1に、リードアクセスのデータとして送る。このときに、ホストブリッジ10は、メインプロセッサ1に対してのWAITも解除する。

【0035】図3において、バスブリッジリード制御回路40は、メインプロセッサ1からアクセスできる比較アドレスレジスタ41を有し、比較アドレスレジスタ31に設定した低速バスデバイス6の存在するアドレス領域と同じアドレスを設定する。この比較アドレスレジスタ41に設定されたアドレス領域は、比較器42にて、実際にメインプロセッサ1からリードアクセスしたアドレスと比較され、比較アドレスレジスタ41に設定されたアドレス領域に含まれる時、すなわちPCIバス開放リードアクセスの時、その比較結果を比較結果レジスタ43にラッチする。

【0036】この比較結果レジスタ43の内容により、低速バスリードアドレス保持レジスタ44とリードアクセス制御回路45を使用するか否かを判断する。PCI

バス開放リードアクセスの際は、リードアクセスのアドレスを低速バスリードアドレス保持レジスタ44に保持する。この際、ホストブリッジ10により、PCIバス3は開放されている。その後、低速バスリードアドレス保持レジスタ44に保持されたアドレスにて、低速バスデバイス6に対するリードアクセスを行う。

【0037】リードアクセス制御回路45により低速バスデバイス6とのアクセスを行い、リードデータを読み出したら、PCIバス3の使用を要求して、PCIバス3を介して、読み出したリードデータをホストブリッジ10にライトする。この時のライトアクセスアドレスは、PCIライトアドレス保持レジスタ46に保持してある、ホストブリッジ10のリードデータ保持レジスタ36のレジスタのアドレスにて行う。

【0038】このライトアクセスアドレスは、PCIライトアドレスセレクト回路47でセレクトされPCIバス3に伝える。このライトアクセスは、上記の様に、ホストリード制御回路30にて、メインプロセッサ1に対して、リードアクセスのデータとして送る。

【0039】この一連の動作を図4及び図5の動作フローチャートにて説明する。図4は、初期設定の動作フローチャートであり、ステップ100において、ホストリード制御回路30の比較アドレスレジスタ31に対して、メインプロセッサ1から低速バスデバイス6の存在するアドレス領域を設定する。そして、ステップ101において、バスブリッジリード制御回路40の比較アドレスレジスタ41に対して、メインプロセッサ1から低速バスデバイス6の存在するアドレス領域を設定する。このアドレス領域に対してのみPCIバス開放リードアクセスを行う。これは、実際のPCIバス開放リードアクセスを行う前に設定が必要である。

【0040】図5は、実際のPCIバス開放リードアクセスを行う時の動作フローチャートである。図5のステップ200において、メインプロセッサ1のリードアクセスと比較アドレスレジスタ31に設定されたアドレス領域とを比較器32にて比較しPCIバス開放リードアクセスを行うかどうかを判定する。比較結果が、上記アドレス領域と異なる場合は、ステップ201において、PCIバス開放リードアクセスを行わず、通常のリードアクセスを行う。

【0041】PCIバス開放リードアクセスを行う場合は、ステップ202において、マスタ制御回路34によりメインプロセッサ1に対してWAITにてアクセスを終了させずに、リード状態を保持する。そして、ステップ203において、PCIバス3を介してバスブリッジ20にリードアクセスを行う。

【0042】次に、ステップ204において、バスブリッジリード制御回路40は、比較アドレスレジスタ41に設定されたアドレス領域と実際のリードアクセスのアドレスと比較器42にて比較して、比較アドレスレジ

スタ41に設定されたアドレス領域に含まれる時、すなわちPCIバス開放リードアクセスの時、その比較結果を比較結果レジスタ43にラッチする。

【0043】そして、ステップ205において、PCIバス開放リードアクセスの際は、リードアクセスのアドレスを低速バスリードアドレス保持レジスタ44に保持して、一旦、ホストブリッジ10によりPCIバス3が開放される。この開放している間、他のPCIバス上のデバイスのPCIバス使用が可能となり、PCIバスの使用効率が向上する。

【0044】その後、ステップ206において、低速バスリードアドレス保持レジスタ44に保持されたアドレスにて、低速バスデバイス6に対するリードアクセスを行う。そして、ステップ207、208において、リードアクセス制御回路45により低速バスデバイス6とのアクセス状態を監視し、ACKが帰ってきてリードデータを読み出したら、PCIバス3のバス権を要求して、PCIバス3を介して、読み出したリードデータをホストブリッジ10のリードデータ保持レジスタ36にライトする。

【0045】この時のホストブリッジ10へのライトアクセスアドレスは、PCIライトアドレス保持レジスタ46に保持してあるものを使用し行う。そして、ステップ209において、PCIバス3を開放し、ステップ210において、ホストリード制御回路30にて、メインプロセッサ1に対して、リードアクセスのデータとして転送しメインプロセッサ1のリードアクセスを終了する。

【0046】以上の動作により、メインプロセッサ1のリードアクセスを行うが、PCIバス3はそのリードアクセス時間の間、占有されることなく、低速バスデバイス6のデータ読み出し動作の間は、PCIバスが開放されているので、有効にPCIバスを使用することができる。

【0047】つまり、転送効率が互いに異なる複数のバスを有するデータ処理システムにおいて、バスブリッジ20がPCIバス（高速バス）を開放するための特別な開放信号を高速バスに発生する必要がないので、構成の大幅な変更を伴うことなく、メインプロセッサからの高速なシステムバスを介した低速デバイスのリードアクセスを高速なシステムバスの転送効率の低下を抑制して実行でき、システム効率を向上可能なバス接続方法及び装置を実現することができる。

【0048】また、初期設定において、比較アドレスレジスタ31と比較アドレスレジスタ41に対して、メインプロセッサ1から低速バスデバイス6の存在するアドレス領域を設定するが、このアドレス領域に対してのみPCIバス開放リードアクセスを行う事ができるので、同じ低速バス上のデバイスでも、特に低速なデバイスと、高速デバイスが混在する時は、低速なデバイスのみ

を指定してPCIバス開放リードアクセスを行うことが可能となる。

【0049】(発明の実施の形態2) 上述した第1の実施形態においては、システムが複数のバスを有し、その複数のバスの転送速度が異なる構成(図1)において、PCIバス開放リードアクセスを行う時に、メインプロセッサ1からのリードアクセスをマスタ制御回路34が受けて、PCIバス3を介してバスブリッジ20にリードアクセスを行うが、第2の実施形態では、リードアクセスをライトアクセスとして、バスブリッジ20に対しアクセスを行うことを特徴とする。

【0050】以下、第2の実施形態の動作を説明する。なお、第2の実施形態であるバス接続装置の概略構成は、図1に示した第1の実施形態と同様となるので、この第2の実施形態においても、図1～図3を参照して説明する。

【0051】図1～図3において、メインプロセッサ1のリードアクセスと比較アドレスレジスタ31に設定されたアドレス領域とを比較器32にて比較し、PCIバス開放リードアクセスを行うかどうかを判定する。そして、比較結果が、上記アドレス領域と異なる場合は、PCIバス開放リードアクセスを行わず、通常のリードアクセスを行う。

【0052】PCIバス開放リードアクセスを行う場合は、マスタ制御回路34によりメインプロセッサ1に対してWAITにてアクセスを終了させずに、リード状態を保持する。そして、PCIバス3を介してバスブリッジ20にライトアクセスを行う。バスブリッジリード制御回路40は、比較アドレスレジスタ41に設定されたアドレス領域とホストブリッジ10からのライトアクセスのアドレスと比較器42にて比較して、比較アドレスレジスタ41に設定されたアドレス領域に含まれる時、すなわちPCIバス開放リードアクセスの時、その比較結果を比較結果レジスタ43にラッチする。

【0053】PCIバス開放リードアクセスの際は、PCIバス開放リードアクセスのアドレスを低速バスリードアドレス保持レジスタ44に保持して、ホストブリッジ10が、一旦PCIバス3を開放する。この開放している間、他のPCIバス上のデバイスのPCIバス使用が可能となり、PCIバスの使用効率が向上する。

【0054】その後、低速バスリードアドレス保持レジスタ44に保持されたアドレスにて、低速バスデバイス6に対するリードアクセスを行う。リードアクセス制御回路45により低速バスデバイス6とのアクセス状態を監視し、ACKが帰ってきてリードデータを読み出したら、PCIバス3のバス権を再度要求して、PCIバス3を介して、読み出したリードデータをホストブリッジ10にライトする。この時のホストブリッジ10へのライトアクセスアドレスは、PCIライトアドレス保持レジスタ46に保持してあるものを使用し行う。

【0055】このライトアクセスは、上記の様に、ホストリード制御回路30にて、メインプロセッサ1に対して、リードアクセスのデータとして転送しメインプロセッサ1のリードアクセスを終了する。

【0056】以上の動作により、メインプロセッサ1のリードアクセスを行うが、PCIバス3はそのリードアクセス時間の間占有されることなく、低速バスデバイス6のデータ読み出し動作の間は、PCIバスが開放されているので、有効にPCIバスを使用することができる。つまり、この第2の実施形態においても、第1実施形態と同様な効果を有するバス接続方法及び装置を実現することができる。

【0057】なお、本発明の第3の実施形態としては次のものがある。すなわち、メインプロセッサ1からの低速なデバイス6へのリードアクセスのアドレス領域を設定するレジスタを、ホストブリッジ10とバスブリッジ20とに、それぞれ備える。低速なデバイス6のうち、リードアクセス時間が所定時間より長い低速なデバイスと、リードアクセス時間が所定時間より短い低速なデバイスとに分けて、ホストブリッジ10とバスブリッジ20とのそれぞれのレジスタに設定する。

【0058】そして、ホストブリッジ10は、メインプロセッサ1から所定時間よりも長い低速なデバイスにリードアクセスが要求されたときにのみ、一旦、PCIバスを開放し、ホストブリッジ10は、メインプロセッサ1から所定時間よりも短い低速なデバイスにリードアクセスが要求されたときは、PCIバスを開放する動作は行わないように構成する。

【0059】このように構成された第3の実施形態においても、上述した第1及び第2の実施形態と同様な効果を得ることができる。また、低速デバイス6のうち、比較的リードアクセス時間が短いものについては、一旦PCIバス3を開放させるという制御動作が不要となり、制御動作を省略することができる。

【0060】

【発明の効果】本発明は、以上説明したように構成されているため、次のような効果がある。転送効率が互いに異なる複数のバスを有するデータ処理システムにおいて、バスブリッジがPCIバス(高速バス)を開放するための特別な開放信号を高速バスに発生する必要がないので、構成の大幅な変更を伴うことなく、メインプロセッサからの高速なシステムバスを介した低速デバイスのリードアクセスを高速なシステムバスの転送効率の低下を抑制して実行でき、システム効率を向上可能なバス接続方法及び装置を実現することができる。

【0061】また、低速なデバイスのうち、リードアクセス時間が所定時間より長い低速なデバイスと、リードアクセス時間が所定時間より短い低速なデバイスとに分けて、ホストブリッジは、メインプロセッサから上記所定時間よりも長い低速なデバイスにリードアクセスが

要求されたときにのみ、一旦、上記システムバスを開放するように構成すれば、低速デバイスのうち、比較的リードアクセス時間が短いものについては、一旦、高速バスを開放させるという制御動作が不要となり、制御動作を省略することができる。

【図面の簡単な説明】

【図1】本発明の実施形態であるバス接続装置の概略構成図である。

【図2】図1の例におけるホストリード制御回路の概略構成図である。

【図3】図1の例におけるバスブリッジリード制御回路の概略構成図である。

【図4】低速バスデバイスのリードアクセスにおける初期設定動作のフローチャートである。

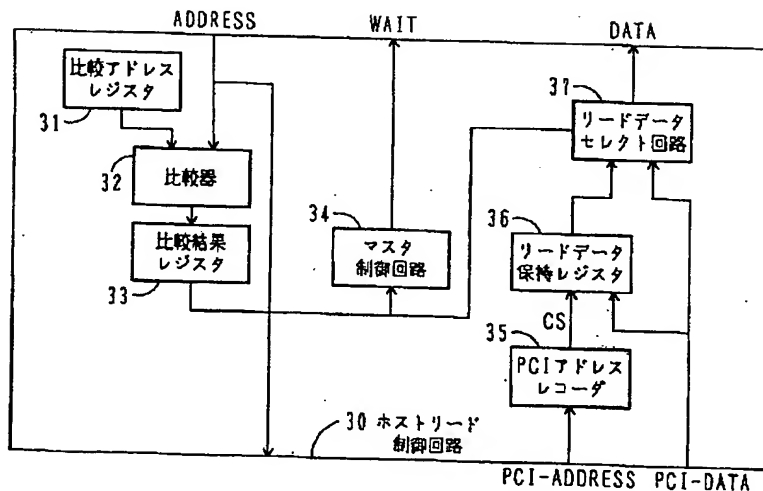
【図5】PCIバス開放リードアクセス動作フローチャートである。

【符号の簡単な説明】

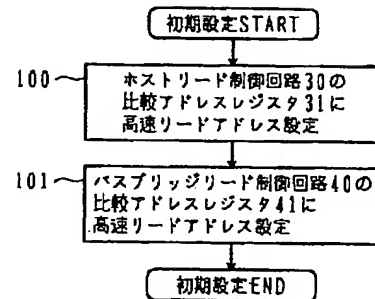
- 1 メインプロセッサ
- 2 主メモリ
- 3 PCIバス
- 4 PCIバスデバイス
- 5 低速バス
- 6 低速バスデバイス
- 10 ホストブリッジ

- 11 メインプロセッサI/F
- 12 ホストブリッジ制御回路
- 13 主メモリI/F
- 14 ホストブリッジ側PCI—I/F
- 20 バスブリッジ
- 21 バスブリッジ側PCI—I/F
- 22 低速バスI/F
- 30 ホストリード制御回路
- 31 比較アドレスレジスタ
- 32 比較器
- 33 比較結果レジスタ
- 34 マスタ制御回路
- 35 PCIアドレスデコーダ
- 36 リードデータ保持レジスタ
- 37 リードデータセレクト回路
- 40 バスブリッジリード制御回路
- 41 比較アドレスレジスタ
- 42 比較器
- 43 比較結果レジスタ
- 44 低速バスリードアドレス保持レジスタ
- 45 リードアクセス制御回路
- 46 PCIライトアドレス保持レジスタ
- 47 PCIライトアドレスセレクト回路

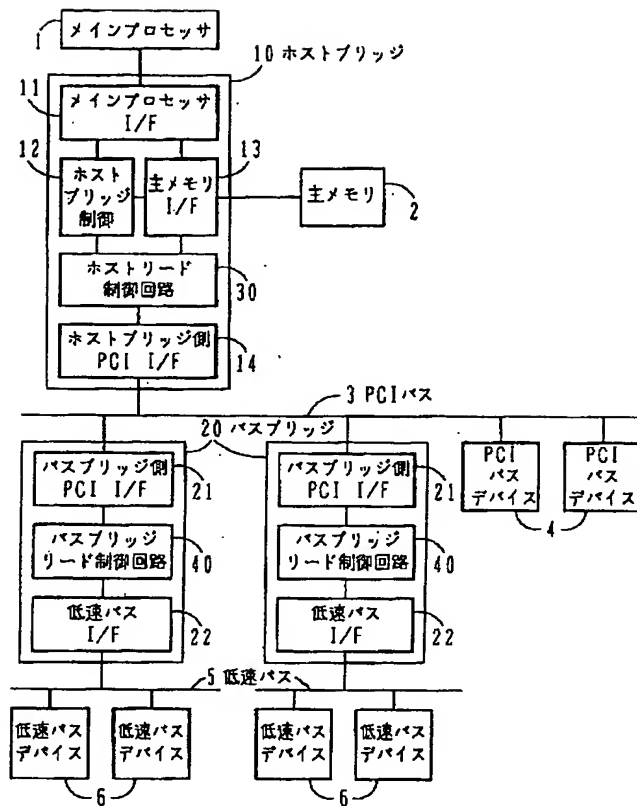
【図2】



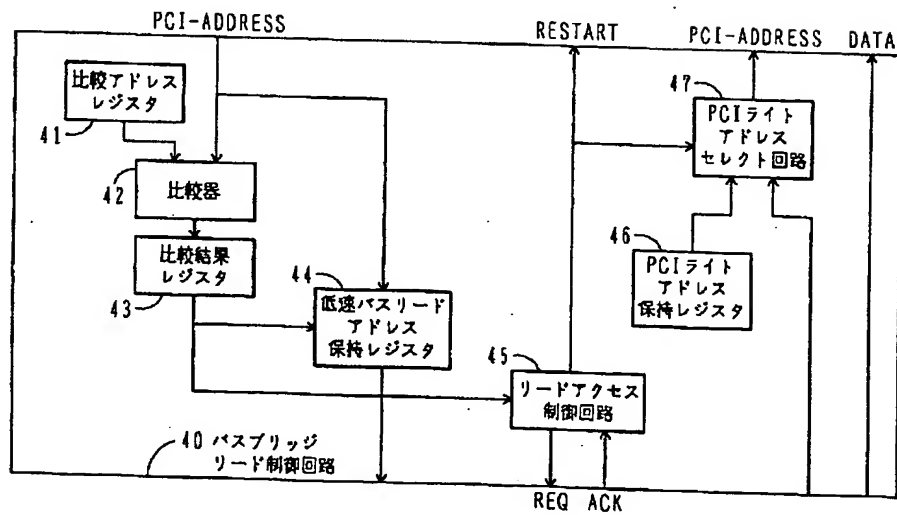
【図4】



【図1】



【図3】



【図5】

